

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0044677
Application Number

출원년월일 : 2002년 07월 29일
Date of Application JUL 29, 2002

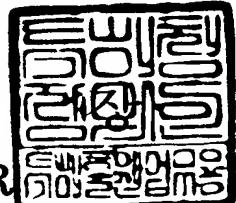
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 02월 07일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.07.29
【국제특허분류】	G06F
【발명의 명칭】	버스 대역폭을 증가시키기 위한 메모리 컨트롤러, 이를 이용한 데이터 전송방법 및 이를 구비하는 컴퓨터 시스템
【발명의 영문명칭】	Memory controller for increasing bus bandwidth, data transmitting method and computer system having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이회진
【성명의 영문표기】	LEE,Hoi Jin
【주민등록번호】	710220-1167613
【우편번호】	463-830
【주소】	경기도 성남시 분당구 이매동(이매촌) 124번지 한신아파트 212동 803 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	3	면	3,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	653,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

컴퓨터 시스템의 버스의 대역폭을 증가시키기 위한 메모리 컨트롤러가 개시된다. 상기 메모리 컨트롤러는 N비트 데이터를 각각 입출력하기 위한 제1포트 및 제2포트; 2N 비트 데이터를 입출력하기 위한 제3포트; 및 상기 N비트 데이터를 각각 입출력하기 위한 제4포트 및 제5포트를 구비하며, 상기 메모리 컨트롤러는 상기 제3포트를 통하여 입력되는 명령신호와 어드레스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 대응되는 메모리장치로부터 동시에 상기 N비트 데이터를 각각 패치하고 패치된 2N비트 데이터를 상기 제3포트로 전송하거나, 상기 제4포트 및/또는 제5포트를 통하여 입력되는 명령신호와 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 대응되는 메모리장치로부터 상기 N비트 데이터를 패치하고, 패치된 N비트 데이터를 상기 제4포트 및/또는 상기 제5포트로 전송하는 것을 특징으로 한다.

【대표도】

도 1

【색인어】

버스, 메모리 컨트롤러

【명세서】**【발명의 명칭】**

버스 대역폭을 증가시키기 위한 메모리 컨트롤러, 이를 이용한 데이터 전송방법 및 이를 구비하는 컴퓨터 시스템{Memory controller for increasing bus bandwidth, data transmitting method and computer system having the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명에 따른 메모리 컨트롤러를 구비하는 컴퓨터 시스템을 개략적으로 나타낸다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 컴퓨터 시스템에서 사용되는 메모리 컨트롤러에 관한 것으로, 보다 상세하게는 멀티-버스 시스템에서 버스의 대역폭을 증가시킬 수 있는 메모리 컨트롤러, 상기 메모리 컨트롤러를 사용한 데이터 전송방법 및 상기 메모리 컨트롤러를 구비하는 컴퓨터 시스템에 관한 것이다.

<4> 전형적인 컴퓨터 시스템은 주요한 세 개의 서브시스템들, 메모리, 하나 또는 그 이상의 중앙처리 장치들(CPUs), 및 입-출력(I/O) 장치들로 구성된다. 현대의 컴퓨터 시스템은 사용자의 요구를 만족시키기 위하여 여러 가지 다양한 서브시스템들, 예컨대

PCI(peripheral component interconnect), 이더넷(ethernet), 또는 범용 비동기화 송수신기(Universal Asynchronous Receiver/Transmitter, UART)등과 연결할 수 있어야 한다.

- <5> 컴퓨터 시스템에서, 다양한 서브시스템들은 서로 통신을 하기 위하여 인터페이스들을 가져야 한다. 예컨대 상기 메모리와 상기 중앙처리 장치, 또는 상기 중앙처리장치와 I/O장치들간의 통신은 버스를 통하여 이루어진다.
- <6> 상기 버스는 여러 도선들이 병렬로 묶여져 있는 것으로 다양한 서브시스템들을 공유할 수 있는 통신선로이다. 최대 버스속도(maximum bus speed)는 주로 물리적인 요소들, 즉 버스의 길이와 상기 버스의 부하(bus loading)에 제한된다.
- <7> 또한, 컴퓨터 구조 이론에 의하면, 현재와 같은 폰-노이만(Von Neumann)방식, 즉 스토어드 프로그램(stored program)방식을 유지하기 위하여 CPU와 메모리는 반드시 공존해야만 한다. 따라서 컴퓨터 시스템의 성능의 향상을 위하여 CPU와 메모리 모두의 성능이 동시에 개선되어야 한다.
- <8> 그러나 CPU는 동작속도의 개선을 추구하고, DRAM으로 구성되는 메모리는 메모리 용량의 확대를 추구함에 따라 메모리의 동작속도는 CPU의 동작속도에 비하여 상대적으로 현저하게 낮다. 또한, 상기 컴퓨터 시스템에 사용되는 상기 서브시스템들, 예컨대 PCI, 이더넷, UART의 동작속도는 CPU의 동작속도 보다 상대적으로 낮다.
- <9> 따라서 컴퓨터 시스템(또는 메모리 시스템)의 동작을 평가하는 기준으로 메모리 레이턴시(memory latency; 또는 메모리 억세스)와 메모리 대역폭(bandwidth)을 사용하는

경우, 메모리 레이턴시는 작을수록, 메모리 대역폭은 클수록 컴퓨터 시스템의 성능은 우수하다.

<10> 따라서, 컴퓨터 시스템의 성능을 향상시키기 위하여 메모리와 CPU사이의 버스 폭을 늘리는 방식, 즉 메모리의 I/O 포트를 늘리는 방법을 사용한다. 그러나 이러한 방법은 DRAM의 칩 사이즈를 증가시키고, I/O 포트들(ports)사이에 발생하는 누화잡음(cross-talk noise)으로 인하여 동작속도는 저하되는 문제가 있다.

<11> 또한, CPU의 성능의 발전속도가 메모리, PCI, 이더넷, 또는 UART 등의 서브시스템의 성능의 속도보다 빠른 상황에서, CPU의 동작속도에 적합한 컴퓨터 시스템을 설계하는 것은 메모리, PCI, 이더넷, 또는 UART 등의 서브시스템을 재개발해야 하는 문제점이 있다.

<12> 예컨대, CPU가 2N(예컨대, N은 32)비트 IP(intellectual property)이고, PCI, 이더넷, 또는 UART는 N비트 IP인 경우, 2N비트로 컴퓨터 시스템을 설계하는 경우, 종래의 N비트PCI, 이더넷, 또는 UART를 2N비트로 재개발해야 하는 부담이 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 따라서 본 발명이 이루고자 하는 기술적인 과제는 2N비트 IP와 N비트 IP를 구비하는 컴퓨터 시스템에서 최대의 시스템 성능을 얻기 위한 메모리 컨트롤러를 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기 기술적 과제를 달성하기 위한 메모리 컨트롤러는 N비트 데이터를 각각 입출력하기 위한 제1포트 및 제2포트; 2N비트 데이터를 입출력하기 위한 제3포트; 및 상기 N비

트 데이터를 각각 입출력하기 위한 제4포트 및 제5포트를 구비하여, 상기 메모리 컨트롤러는 상기 제3포트를 통하여 입력되는 명령신호와 어드레스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 대응되는 메모리장치로부터 동시에 상기 N비트 데이터를 각각 패치하고 패치된 2N비트 데이터를 상기 제3포트로 전송하거나, 상기 제4포트 및/또는 제5포트를 통하여 입력되는 명령신호와 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트 데이터를 패치하고, 패치된 N비트 데이터를 상기 제4포트 및/또는 상기 제5포트로 전송한다.

- <15> 상기 메모리 컨트롤러는 상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 및 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 각각 출력한다.
- <16> 그리고, 상기 메모리 컨트롤러는 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 출력한다. 상기 명령신호는 데이터 패치를 위한 명령 신호이다.
- <17> 상기 제1포트와 상기 제2포트는 서로 다른 N비트 버스를 통하여 상기 대응되는 메모리 장치에 접속된다. 상기 제3포트는 2N비트 버스를 통하여 2N비트 IP (intellectual property)와 접속되고, 상기 2N비트 데이터를 입출력한다.
- <18> 상기 제4포트와 상기 제5포트는 서로 다른 N비트 버스를 통하여 대응되는 N비트 IP 와 접속된다.
- <19> 상기 기술적 과제를 달성하기 위한 컴퓨터 시스템은 데이터와 명령어들을 각각 저장하기 위한 적어도 두 개의 메모리장치들; 상기 컴퓨터 시스템을 제어하고 관리하기 위

한 적어도 하나의 2N비트 IP; 상기 메모리 장치들과 각각 상기 데이터를 주고받기 위한 적어도 두 개의 N비트 IP들; 및 상기 메모리 장치들과 상기 2N비트 IP, 또는 상기 메모리 장치들과 상기 N비트 IP사이에 데이터를 주고받는 것을 제어하기 위한 메모리 컨트롤러를 구비하며, 상기 메모리 컨트롤러는 대응되는 N비트 버스를 통하여, N비트 데이터를 대응되는 메모리 장치와 각각 입출력하기 위한 제1포트 및 제2포트; 2N비트 버스를 통하여, 2N비트 데이터를 상기 2N비트 IP와 입출력하기 위한 제3포트; 및 대응되는 N비트 버스를 통하여, N비트 데이터를 대응되는 N비트 IP와 각각 입출력하기 위한 제4포트 및 제5포트를 구비하며, 상기 메모리 컨트롤러는 상기 2N비트 IP로부터 발생되고 상기 제3포트를 통하여 입력된 명령신호 및 어드레스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 동시에 상기 어드레스에 대응되는 메모리 장치로부터 상기 N비트 데이터를 각각 패치하고, 패치된 2N비트 데이터를 상기 제3포트를 통하여 전송하거나, 대응되는 상기 N비트 IP로부터 발생되고, 상기 제4포트 및/또는 제5포트를 통하여 입력되는 명령신호 및 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 어드레스에 대응되는 메모리 장치로부터 상기 N비트 데이터를 패치하고, 패치된 N비트 데이터를 상기 제4포트 및/또는 상기 제5포트로 전송한다.

<20> 상기 메모리 컨트롤러는 상기 2N비트 IP로부터 발생되고, 상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 또는 상기 제2포트를 통하여 대응되는 메모리 장치로 전송한다.

<21> 상기 메모리 컨트롤러는 상기 대응되는 IP로부터 발생되고, 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 메모리 장치로 전송한다.

<22> 상기 기술적 과제를 달성하기 위한 N비트 데이터를 각각 입출력하기 위한 제1포트 및 제2포트, 2N비트 데이터를 입출력하기 위한 제3포트; 및 상기 N비트 데이터를 각각 입출력하기 위한 제4포트 및 제5포트를 구비하는 메모리 컨트롤러가 데이터를 전송하는 방법은 상기 제3포트를 통하여 입력되는 명령신호와 어드레스, 또는 상기 제4포트와 상기 제5포트 중에서 어느 하나의 포트를 통하여 입력되는 명령신호와 어드레스를 수신하는 단계; 및 상기 제3포트를 통하여 입력되는 상기 명령신호와 상기 어드레스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트 데이터를 동시에 각각 패치하고, 패치된 2N비트 데이터를 상기 제3포트로 전송하거나, 또는 상기 제4포트 및/또는 제5포트를 통하여 입력되는 상기 명령신호와 상기 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트 데이터를 각각 패치하고, 패치된 N비트 데이터 각각을 상기 제4포트 및/또는 상기 제5포트로 전송한다.

<23> 상기 데이터 전송방법은 상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 및 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 각각 출력한다.

<24> 그리고, 상기 데이터 전송방법은 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 출력한다.

<25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<27> 도 1은 본 발명에 따른 메모리 컨트롤러를 구비하는 컴퓨터 시스템을 개략적으로 나타낸다.

<28> 본 발명에 따른 컴퓨터 시스템(1000)은 데이터와 명령어들을 각각 저장하기 위한 적어도 두 개의 메모리장치들(100, 200), 컴퓨터 시스템(1000)을 제어하고 관리하기 위한 적어도 하나의 2N비트 IP(400), 메모리 장치들(100, 200)과 각각 N비트 데이터를 주고받기 위한 적어도 두 개의 N비트 IP들(600, 700, 800), 및 메모리 장치들(100, 200)과 2N비트 IP(400), 또는 메모리 장치들(100, 200)과 N비트 IP(600, 700, 800)사이에 2N비트 또는 N비트 데이터를 주고받는 것을 제어하기 위한 메모리 컨트롤러(300)를 구비한다.

<29> 메모리 컨트롤러(300)는 대응되는 N비트 버스(101, 201)를 통하여 N비트 데이터를 대응되는 메모리 장치(100, 200)와 각각 입출력하기 위한 제1포트(310)와 및 제2포트(320), 2N비트 버스(401)를 통하여 2N비트 데이터를 2N비트 IP(400)와 입출력하기 위한 제3포트(360); 및 대응되는 N비트 버스(371, 381)를 통하여 N비트 데이터를 대응되는 N비트 IP(600, 700, 800)와 각각 입출력하기 위한 제4포트(370) 및 제5포트(380)를 구비한다.

<30> 메모리 컨트롤러(300)는 2N비트 IP(400)로부터 발생되고, 제3포트(360)를 통하여 입력된 명령신호(예컨대 2N비트 IP(400)가 2N비트 데이터 패치하기 위한 명령신호 또는 로드(load)명령신호) 및 어드레스에 응답하여 제1포트(310) 및 제2포트(320)를 통하여

동시에 상기 어드레스에 대응되는 메모리 장치(100, 200)로부터 상기 N비트 데이터를 각각 패치하고, 패치된 2N비트 데이터를 제3포트(360)를 통하여 2N비트 IP(400)전송한다.

<31> 또한, 메모리 컨트롤러(300)는 대응되는 N비트 IP(600, 700, 800)로부터 발생되고, 제4포트(370) 및/또는 제5포트(380)를 통하여 입력되는 명령신호 및 어드레스에 응답하여 제1포트(310) 및/또는 제2포트(320)를 통하여 상기 어드레스에 대응되는 메모리 장치(100, 200)로부터 상기 N비트 데이터를 패치하고, 패치된 N비트 데이터를 제4포트(370) 및/또는 제5포트(380)를 통하여 대응되는 N비트 IP(600, 700, 800)로 전송한다.

<32> 또한, 메모리 컨트롤러(300)는 2N비트 IP(400)로부터 발생되고, 제3포트 (360)를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 제1포트(310) 및 제2포트(320)를 통하여 대응되는 메모리 장치(100, 200)로 출력한다.

<33> 그리고, 메모리 컨트롤러(300)는 대응되는 IP(600, 700, 또는 800)로부터 발생되고, 제3포트(370) 및/또는 제4포트(380)를 통하여 입력되는 상기 N비트 데이터를 제1포트(310) 및/또는 제2포트(320)를 통하여 메모리 장치(100, 200)로 출력한다.

<34> 도 1을 참조하면, 컴퓨터 시스템(100)은 제1메모리 장치(100), 제2메모리 장치(200), 메모리 컨트롤러(300), 중앙처리장치(Central Processor Unit; 400), 다운사이저(Downsizer), PCI 기능 블록(600), 이더넷 기능 블록(700) 및 UART 기능 블록(800)을 구비한다.

<35> 여기서 CPU(400)는 $2N$ (N 은 자연수, N 은 32)비트 IP이라고 가정하고, PCI 기능 블록(600), 이더넷 기능 블록(700) 및 UART 기능 블록(800)은 모두 N 비트 기능 블록이라고 가정한다.

<36> 각 메모리 장치(100, 200)는 CPU(400)가 필요로 하는 데이터와 명령어들 (instructions)을 저장하는 주 메모리를 의미하고, DRAM으로 구성된다.

<37> CPU(400)는 버스(401과 101, 또는 401과 201)를 통해 제1메모리 장치(100) 및 제2메모리 장치(200)에 N 비트 어드레스를 보내어 제1메모리 장치(100) 및 제2메모리 장치(200)와 데이터를 주고받고, 이러한 동작들이 원활하게 이루어지도록 제어하기 위한 각종 제어신호들을 소정의 컨트롤러를 통해 메모리 컨트롤러(300)로 출력한다. 즉, CPU(400)는 전반적으로 컴퓨터 시스템(1000)을 제어하고 관리하는 기능을 수행한다.

<38> 본 발명에 따른 메모리 컨트롤러(300)는 제1포트(310), 제2포트(320), 제1메모리 컨트롤러(330), 제2메모리 컨트롤러(340), 포트 컨트롤러(350), 제3포트(360), 제4포트(370) 및 제5포트(380)를 구비한다. 포트 컨트롤러(350)는 제3포트 컨트롤러(351), 제4포트 컨트롤러(353) 및 제5포트 컨트롤러(355)를 구비한다.

<39> 제1포트(310)와 제1메모리 장치(100)는 N 비트 버스(101)를 통하여 서로 접속되고, 제2포트(320)와 제2메모리 장치(200)는 N 비트 버스(201)를 통하여 서로 접속된다.

<40> 제3포트(360)와 다운사이저(500), 또는 제3포트(360)와 CPU(400)는 $2N$ 비트 버스를 통하여 서로 접속된다. 각 기능 블록(600, 700, 800)과 다운사이저(500)는 N 비트 버스

(501)를 통하여 서로 접속된다. 다운사이저(500)는 2N비트 데이터를 수신하고, 이를 N비트 데이터로 변환하고, 그 결과를 출력한다.

<41> 제4포트(370)와 PCI 기능 블록(600)은 각 N비트 버스(371, 601)를 통하여 접속된다. 제5포트(380)와 이더넷(700), 또는 제5포트(380)와 UART(800)는 각 N비트 버스(371, 601)를 통하여 접속된다.

<42> 제1메모리 컨트롤러(330)는 CPU(400) 또는 각 기능블록(400, 600, 700, 800)으로부터 출력되는 어드레스, 기입명령신호(예컨대, 저장명령(store)) 및 데이터에 응답하여 상기 데이터를 상기 어드레스에 의하여 지정된 제1메모리 장치(100)의 소정의 메모리 셀들에 저장하는 기입 동작을 제어하거나, 또는 CPU(400) 또는 각 기능블록(400, 600, 700, 800)으로부터 출력되는 어드레스 및 독출명령신호(예컨대 로드명령(load))에 응답하여 상기 어드레스에 의하여 지정된 제1메모리 장치(100)의 메모리 셀들로부터 데이터를 독출하는 독출동작을 제어한다.

<43> 또한, 제2메모리 컨트롤러(340)는 CPU(400) 또는 각 기능블록(400, 600, 700, 800)으로부터 출력되는 어드레스, 기입명령신호 및 데이터에 응답하여 상기 데이터를 상기 어드레스에 의하여 지정된 제2메모리 장치(200)의 소정의 메모리 셀들로 저장하는 기입 동작을 제어하거나, 또는 CPU(400) 또는 각 기능블록(400, 600, 700, 800)으로부터 출력되는 어드레스 및 독출명령신호에 응답하여 상기 어드레스에 의하여 지정된 제2메모리 장치(100)의 메모리 셀들로부터 데이터를 독출하는 독출동작을 제어한다.

<44> 제3포트 컨트롤러(351)는 제1메모리 장치(100)로부터 출력되는 N비트 데이터 및 제2메모리 장치(200)로부터 출력되는 N비트의 데이터를 수신하고, 이들을 결합하여 생성된

2N비트의 데이터를 제3포트(360)와 2N비트 버스(401)를 통하여 CPU(400)로 전송하는 동작을 제어한다.

<45> 제4포트 컨트롤러(353)는 제1메모리 장치(100)로부터 출력되는 N비트 데이터 또는 제2메모리 장치(200)로부터 출력되는 N비트 데이터를 수신하고, 수신된 N비트 데이터를 제4포트(370)와 버스들(371, 601)을 통하여 PCI 기능 블록(600)으로 출력한다.

<46> 제5포트 컨트롤러(355)는 제1메모리 장치(100)로부터 출력되는 N비트 데이터 또는 제2메모리 장치(200)로부터 출력되는 N비트 데이터를 수신하고, 수신된 N비트 데이터를 제5포트(380)와 버스들(381과 701, 또는 381과 801)을 통하여 이더넷 기능 블록(700) 또는 UART 기능 블록(800)으로 전송한다.

<47> 도 1을 참조하여 본 발명에 따른 메모리 컨트롤러를 구비하는 컴퓨터 시스템의 동작을 설명하면 다음과 같다.

<48> 우선, CPU(400)가 2N비트 데이터를 로드(load)하는 경우, 상기 2N비트의 데이터를 로드하기 위한 2N비트의 어드레스와 소정 비트의 명령신호는 2N비트 버스(401)와 제3포트(360)를 통하여 메모리 컨트롤러(300)로 입력된다.

<49> 제3포트 컨트롤러(351)는 2N비트 데이터를 N비트씩 분할하고, 분할된 상위 N비트 어드레스와 상기 소정 비트의 명령신호를 제1메모리 컨트롤러(330)로 출력하고, 분할된 하위 N비트 어드레스와 상기 소정 비트의 명령신호는 제2메모리 컨트롤러(340)로 출력된다.

<50> 여기서 상위 N비트는 최상위 비트(Most Significant Bit)를 포함하는 N비트를 의미하고, 하위 N비트는 최하위 비트(Least Significant Bit)를 포함하는 N비트를 의미한다.

그러나 본 발명에 따른 메모리 컨트롤러는 2N비트를 N비트씩 분할하는 다양한 방법을 포함한다.

<51> 제1메모리 컨트롤러(330)는 N비트 버스(101)를 통하여 상기 상위 N비트 어드레스에 의하여 지정된 제1메모리 장치(100)의 메모리 셀들로부터 N비트의 데이터를 페치(fetch)하고, 페치된 N비트 데이터를 제3포트 컨트롤러(351)로 출력하는 동시에 제2메모리 컨트롤러(340)는 N비트 버스(201)를 통하여 상기 하위 N비트의 어드레스에 의하여 지정된 제2메모리 장치(200)의 메모리 셀들로부터 N비트의 데이터를 페치(fetch)하고 페치된 N비트 데이터를 제3포트 컨트롤러(351)로 출력한다.

<52> 제3포트 컨트롤러(351)는 제1메모리 컨트롤러(330)로부터 출력되는 N비트 데이터와 제2메모리 컨트롤러(340)로부터 출력되는 N비트 데이터를 결합하고, 2N비트 데이터를 2N비트 버스(401)를 통하여 CPU(400)로 전송한다.

<53> CPU(400)가 2N비트의 데이터를 저장(store)하는 경우, 상기 2N비트의 데이터를 저장하기 위한 2N비트의 어드레스와 소정 비트의 명령신호는 제3포트(360)를 통하여 메모리 컨트롤러(300)로 입력된다.

<54> 제3포트 컨트롤러(351)는 2N비트 데이터를 N비트씩 분할하고, 분할된 상위 N비트 어드레스, 상기 상위 N비트 어드레스에 상응하는 상위 N비트 데이터와 상기 소정 비트의 명령신호를 제1메모리 컨트롤러(330)로 출력한다. 제1메모리 컨트롤러(330)는 제1포트(310)와 N비트 버스(101)를 통하여 상위 N비트 데이터를 상기 N비트 어드레스에 의하여 지정된 제1메모리 장치(100)의 메모리 셀들에 전달한다.

<55> 또한, 제3포트 컨트롤러(351)는 분할된 하위 N비트 어드레스, 상기 하위 N비트 어드레스에 상응하는 상기 하위 N비트 데이터와 상기 소정 비트의 명령신호를 제2메모리 컨트롤러(340)로 출력한다. 제2메모리 컨트롤러(340)는 제2포트(320)와 N비트 버스(201)를 통하여 하위 N비트 데이터를 상기 N비트 어드레스에 의하여 지정된 제2메모리 장치(200)의 메모리 셀들에 전달한다.

<56> 그리고, PCI 기능 블록(600)이 N비트의 데이터를 로드(load)하는 경우, 상기 N비트의 데이터를 로드하기 위한 N비트의 어드레스와 소정 비트의 명령신호는 N비트 버스(601, 371) 및 제4포트(370)를 통하여 메모리 컨트롤러(300)로 입력된다.

<57> 제4포트 컨트롤러(353)는 상기 N비트의 어드레스와 상기 소정 비트의 명령신호를 제1메모리 컨트롤러(330)와 제2메모리 컨트롤러(340)중에서 하나의 메모리 컨트롤러로 출력한다. 제4포트 컨트롤러(353)는 소프트웨어적으로 또는 하드웨어적으로 제1메모리 컨트롤러(330) 또는 제2메모리 컨트롤러(340)를 선택할 수 있다.

<58> 제4포트 컨트롤러(353)가 제1메모리 컨트롤러(330)를 선택하는 경우, 제1메모리 컨트롤러(330)는 상기 N비트 어드레스에 의하여 지정된 제1메모리 장치(100)의 메모리 셀들로부터 N비트의 데이터를 페취한다. 페취된 N비트 데이터는 제4포트 컨트롤러(353) 및 N비트 버스(371, 601)를 통하여 PCI기능 블록(600)으로 입력된다.

<59> PCI 기능 블록(600)이 N비트의 데이터를 로드하는 경우, 이더넷 기능블록 (700) 또는 UART 기능블록(800)은 제5포트(380), 제5포트 컨트롤러(355) 및 제2메모리 컨트롤러(340)를 통하여 N비트 데이터를 로드(load)하거나 저장(store)할 수 있다.

<60> 따라서 N비트 버스(101), 제1포트(310) 및 제1메모리 컨트롤러(330)들이 제1인터페이스를 구성하고, N비트 버스(201), 제2포트(320) 및 제2메모리 컨트롤러(340)들이 제2인터페이스를 구성하는 경우, 2N비트 IP(400)가 2N비트 데이터를 로딩(load)하거나 저장(store)할 때 본 발명에 따른 메모리 컨트롤러(300)의 제1인터페이스 및 제2인터페이스가 동시에 각각 N비트 데이터를 페취한다.

<61> 또한, 각 N비트 IP(600, 700, 800)가 N비트 데이터를 로딩하거나 저장할 때 제1인터페이스 또는 제2인터페이스만 사용되고, 사용되지 않는 제1인터페이스 또는 제2인터페이스는 각 N비트 IP(700, 800, 600)가 사용할 수 있다.

<62> 따라서 도 1을 참조하며, 2N비트 IP인 CPU(400)은 제1인터페이스 및 제2인터페이스를 동시에 사용하고, N비트 IP인 이더넷 기능 블록(700)이 제1인터페이스를 사용하는 경우 N비트 IP인 PCI 기능블록(600)은 제2인터페이스를 사용할 수 있다. 또한, N비트 IP인 UART(800)이 제1인터페이스를 사용하는 경우 N비트 IP인 PCI 기능블록(600)은 제2인터페이스를 사용할 수 있다.

<63> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<64> 상술한 바와 같이 본 발명에 따른 따라서 메모리 컨트롤러는 N비트 IP와 2N비트 IP를 혼용하여 사용하는 컴퓨터 시스템에서 버스의 동작 주파수를 증가시키지 않고도 최대의 성능을 얻을 수 있는 효과가 있다.

<65> 또한, 본 발명에 따른 메모리 컨트롤러 및 이를 이용한 데이터 전송방법을 통하여 상기 메모리 컨트롤러를 구비하는 컴퓨터 시스템의 메모리 사용효율이 증가된다.

<66> 그리고, 본 발명에 따른 메모리 컨트롤러를 사용하는 컴퓨터 시스템에서 버스의 대역폭은 증가하는 효과가 있다.

【특허청구범위】**【청구항 1】**

메모리 컨트롤러에 있어서,

N비트 데이터를 각각 입출력하기 위한 제1포트 및 제2포트;

2N비트 데이터를 입출력하기 위한 제3포트; 및

상기 N비트 데이터를 각각 입출력하기 위한 제4포트 및 제5포트를 구비하며,

상기 메모리 컨트롤러는,

상기 제3포트를 통하여 입력되는 명령신호와 어드레스에 응답하여 상기 제1포트

및 상기 제2포트를 통하여 대응되는 메모리장치로부터 동시에 상기 N비트 데이터를 각각

패치하고 패치된 2N비트 데이터를 상기 제3포트로 전송하거나,

상기 제4포트 및/또는 제5포트를 통하여 입력되는 명령신호와 어드레스에 응답하여

상기 제1포트 및/또는 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트

데이터를 패치하고, 패치된 N비트 데이터를 상기 제4포트 및/또는 상기 제5포트로 전송

하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 2】

제1항에 있어서, 상기 메모리 컨트롤러는,

상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 및 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 각각 출력하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 3】

제1항에 있어서, 상기 메모리 컨트롤러는 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 출력하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 4】

제1항에 있어서, 상기 명령신호는 데이터 패치를 위한 명령 신호인 것을 특징으로 하는 메모리 컨트롤러.

【청구항 5】

제1항에 있어서, 상기 제1포트와 상기 제2포트는 서로 다른 N비트 버스를 통하여 상기 대응되는 메모리 장치에 접속되는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 6】

제1항에 있어서, 상기 제3포트는 2N비트 버스를 통하여 2N비트 IP (intellectual property)와 접속되고, 상기 2N비트 데이터를 입출력하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 7】

제1항에 있어서, 상기 제3포트는 2N비트 버스를 통하여 2N비트 CPU와 접속되고, 상기 2N비트 데이터를 입출력하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 8】

제1항에 있어서, 상기 제4포트와 상기 제5포트는 서로 다른 N비트 버스를 통하여 대응되는 N비트 IP와 접속되는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 9】

제1항에 있어서, 상기 N은 32인 것을 특징으로 하는 메모리 컨트롤러.

【청구항 10】

컴퓨터 시스템에 있어서,

데이터와 명령어들을 각각 저장하기 위한 적어도 두 개의 메모리장치들;

상기 컴퓨터 시스템을 제어하고 관리하기 위한 적어도 하나의 2N비트 IP;

상기 메모리 장치들과 각각 상기 데이터를 주고받기 위한 적어도 두 개의 N비트

IP들; 및

상기 메모리 장치들과 상기 2N비트 IP, 또는 상기 메모리 장치들과 상기 N비트 IP

사이에 데이터를 주고받는 것을 제어하기 위한 메모리 컨트롤러를 구비하며,

상기 메모리 컨트롤러는,

대응되는 N비트 버스를 통하여, N비트 데이터를 대응되는 메모리 장치와 각각 입출

력하기 위한 제1포트 및 제2포트;

2N 비트 버스를 통하여, 2N비트 데이터를 상기 2N비트 IP와 입출력하기 위한 제3포

트; 및

대응되는 N비트 버스를 통하여, N비트 데이터를 대응되는 N비트 IP와 각각 입출력

하기 위한 제4포트 및 제5포트를 구비하며,

상기 메모리 컨트롤러는,

상기 2N비트 IP로부터 발생되고 상기 제3포트를 통하여 입력된 명령신호 및 어드레

스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 동시에 상기 어드레스에 대응되

는 메모리 장치로부터 상기 N비트 데이터를 각각 패치하고, 패치된 2N비트 데이터를 상기 제3포트를 통하여 전송하거나,

대응되는 상기 N비트 IP로부터 발생되고, 상기 제4포트 및/또는 제5포트를 통하여 입력되는 명령신호 및 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 어드레스에 대응되는 메모리 장치로부터 상기 N비트 데이터를 패치하고, 패치된 N비트 데이터를 상기 제4포트 및/또는 상기 제5포트로 전송하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 11】

제10항에 있어서, 상기 메모리 컨트롤러는,
상기 2N비트 IP로부터 발생되고, 상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 또는 상기 제2포트를 통하여 대응되는 메모리 장치로 출력하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 12】

제10항에 있어서, 상기 메모리 컨트롤러는 상기 대응되는 IP로부터 발생되고, 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 메모리 장치로 출력하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 13】

제10항에 있어서, 상기 명령신호는 데이터를 패치하기 위한 명령신호인 것을 특징으로 하는 컴퓨터 시스템.

【청구항 14】

N비트 데이터를 각각 입출력하기 위한 제1포트 및 제2포트, 2N비트 데이터를 입출력하기 위한 제3포트; 및 상기 N비트 데이터를 각각 입출력하기 위한 제4포트 및 제5포트를 구비하는 메모리 컨트롤러가 데이터를 전송하는 방법에 있어서,

상기 제3포트를 통하여 입력되는 명령신호와 어드레스, 또는 상기 제4포트와 상기 제5포트 중에서 어느 하나의 포트를 통하여 입력되는 명령신호와 어드레스를 수신하는 단계; 및

상기 제3포트를 통하여 입력되는 상기 명령신호와 상기 어드레스에 응답하여 상기 제1포트 및 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트 데이터를 동시에 각각 패치하고, 패치된 2N비트 데이터를 상기 제3포트로 전송하거나, 또는

상기 제4포트 및/또는 제5포트를 통하여 입력되는 상기 명령신호와 상기 어드레스에 응답하여 상기 제1포트 및/또는 상기 제2포트를 통하여 대응되는 메모리 장치로부터 상기 N비트 데이터를 각각 패치하고, 패치된 N비트 데이터 각각을 상기 제4포트 및/또는 상기 제5포트로 전송하는 것을 특징으로 하는 데이터 전송방법.

【청구항 15】

제14항에 있어서, 상기 데이터 전송방법은,

상기 제3포트를 통하여 입력되는 상기 2N비트의 데이터를 N비트씩 분할하고, 분할된 N비트 데이터를 대응되는 상기 제1포트 및 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 각각 출력하는 것을 특징으로 하는 데이터 전송방법.

【청구항 16】

제14항에 있어서, 상기 데이터 전송방법은 상기 제3포트 및/또는 상기 제4포트를 통하여 입력되는 상기 N비트 데이터를 상기 제1포트 및/또는 상기 제2포트를 통하여 상기 대응되는 메모리 장치로 출력하는 것을 특징으로 하는 데이터 전송방법.

